

REMARKS

Claims 1, 2, 4-9, and 11-16 are pending in the subject application. Claim 1 has been amended. Support for the amendment to claim 1 may be found at page 16, line 15 through page 19, line 3 and Figures 1C and 1D; page 21 lines 3-10 and Figure 2 (particularly elements 11, 12, 13, and 14); and Figures 3C and 3D. New claim 16 has been introduced. Support for claim 16 may be found throughout the specification (see, for example, line 23 of page 9 to line 5 of page 10). No new matter has been introduced by the instant amendment. Favorable reconsideration in light of the amendments and remarks which follow is respectfully requested.

As an initial matter, the office action indicates that the search report and Korean office action are issuing from the IDS Submission filed August 13, 2002 and subsequent papers filed with the Patent Office. Attached is a Notice Of Request For Submission Of Arguments and English language translation thereof, which was generated in the copending Korean application.

Claims 1-2, 4, 6-7, 9 and 11 were rejected under 35 U.S.C. §102(b) as being allegedly anticipated by Takada et al (U.S. Patent 4,629,681).

Claims 1-2, 4, 6-7, 9 and 11-14 have been rejected under 35 U.S.C. §103(a) as being allegedly unpatentable over Takada in view of JP 10-245,444 and Larsson (U.S. Patent 6,303,278 B1).

Claims 1-2, 4-7, 9 and 11 have been rejected under 35 U.S.C. §103(a) as being allegedly unpatentable over Takada in view of Iwasaki et al. (U.S. Patent 5,323,534).

Claims 1-2, 4, 6-7, 9, 11, and 15 have been rejected under 35 U.S.C. §103(a) as being allegedly unpatentable over Takada in view of Kishimoto et al (U.S. Patent 5,516,983).

For the sake of brevity, the four § 102 and § 103 rejections which rely upon the Takada reference are addressed in combination. Such a combined response is considered appropriate

because *inter alia* each of the rejections relies on the Takada patent as the primary citation. Each of the rejections is traversed.

The present invention provides methods of forming a low-resistance metal film over a patterned ground resin film by a wet film formation technique such that the low-resistance metal film together with the insulating substrate encloses the patterned ground resin film. That is, the methods provide a method of manufacturing a **metal wire** where the metal wire is deposited on a patterned ground resin film such that the patterned ground resin film is enclosed by the substrate and the metal wire, e.g., the patterned resin is substantially only in contact with the insulating substrate and the metal wire. More particularly, as illustrated in Figure 1A, the low resistance metal film 3 is deposited selectively onto the patterned ground resin film 2a, e.g., the metal film 3 is preferably not formed on areas of the substrate which do not have a patterned ground resin film 2a (See, for example, page 9, line 23 to page 10, line 5).

For example, claim 1, as amended, provides a method of manufacturing metal wiring in which a low-resistance metal film is formed over a patterned polyimide ground resin film such that the patterned polyimide ground resin is enclosed by the low-resistance metal film. Thus the patterned polyimide ground resin film is substantially encapsulated by the insulating substrate and the overlaid metal film. Thus, the metal film is deposited over the entirety of the patterned polyimide resin such that all of the polyimide resin is in contact with either the substrate or the low-resistance metal film. See, for example, Figure 1C, 1D, 3C, and 3D.

None of the cited documents, alone or in combination, teach or suggest a method of manufacturing a metal wiring in which a patterned ground resin layer is enclosed by a metal layer deposited over the resin layer.

The office action alleges that the Takada reference teaches a wet film formation technique that produces a low-resistance metal film which inherently encloses the patterned ground resin film. However, Takada teaches the deposition of the insulating film onto the substrate (1), the first conductor layer (2) and the thick film resistor (3) (Col. 3, lines 6-8),

patterning the insulating film to form holes through which an second film layer deposited on the insulating film is in contact with the first conductive layer (2). Thus, the process taught by Takada does not provide a method of manufacturing metal wires comprising the step of depositing a resin on an insulating substrate in part because the resin layer of Takada is deposited onto an insulating substrate already having a first conductor layer deposited thereon. Moreover, the patterned resin layer is not substantially enclosed (e.g. in contact with) the insulating substrate and the metal layer because the patterned resin layer is also in contact with the first conductive layer and the thick film resistor.

More particularly, Takada teaches a base substrate having a first conductive layer deposited on the substrate, an patterned insulator film, having holes opening to the first conductive layer is then deposited onto the substrate. Finally a second conductive layer is deposited into the opening of the insulator film which is in contact with the first conductive layer and only **partially** covers the insulating film. Takada neither discloses nor suggests a method of manufacturing metal wirings comprising: (1) depositing an insulator layer onto a substrate, (2) patterning the insulator layer, forming a low-resistance metal layer over the patterned insulator layer such that the insulator layer is enclosed by the low-resistance metal layer.

Thus, as depicted in Figure 4 of the Takada patent, the conductor layer **8** is deposited onto not only the patterned insulator layer **6** but also onto the conductor layer **2** which is not covered by the insulator layer (ground resin) **6**. That is, at least a part of the conductor layer **8** is formed directly on the conductor layer **2** and is not formed on the patterned ground resin **6** as depicted in the right side of the image presented in Figure 4.

Takada neither discloses nor suggests forming a ground resin by depositing a metal layer onto a patterned insulating layer such that the metal layer encloses the insulating layer, e.g., the deposited metal layer coats all exposed surfaces of the insulating layer. Thus, Takada fails to teach or suggest the manufacturing methods provided by the present invention.

None of the secondary references, e.g., JP 10-245,444, Larsson, Iwasaki, Kishimoto or a combination thereof, overcome the limitations of the Takada reference.

As the office action is understood, JP 10-245,444 is relied on for the its alleged teaching of a metal layer formation by reduction of metal ions and surface modification using KOH. However, it appears that JP 10-245,444 teaches a method of forming a conductive coating on a polyimide substrate, the method comprising (1) sulfonating the polyimide, forming a metal sulfonate, and (3) reducing the metal sulfonate to form a metal film.

The '444 document neither discloses nor suggest patterning a ground resin layer or depositing a metal layer over the patterned ground resin layer such that the remaining ground resin layer is enclosed by the deposited metal layer. More particularly, JP 10-245,444 neither discloses nor suggests a method of fabricating a metal line or metal wire comprising forming a metal layer over a patterned ground resin film such that the metal layer encloses the ground resin film.

As the reference is understood, Larsson teaches a method of modifying a surface by grafting a composition to specified portions of the surface, absorbing metal ions onto the grafted composition and then depositing additional metal onto the grafted composition by traditional deposition techniques. More particularly, Larsson neither discloses nor suggests a method of fabricating a metal line or metal wire comprising a step of forming a metal layer over a patterned ground resin film such that the metal layer encloses the ground resin film.

Thus the combination of Takada, JP 10-245,444 and/or Larsson does not teach each step of the metal wiring fabrication method of the present invention.

As the reference is understood, Iwasaki merely teaches the incorporation of a plating catalyst into an epoxy adhesive layer. Iwasaki neither discloses nor suggests methods of wire fabrication comprising a step of forming a metal layer over a patterned ground resin film such

that the metal layer encloses the ground resin film. Thus the combination of Takada and Iwasaki does not teach each step of the metal wiring fabrication method of the present invention.

As the reference is understood, Kishimoto is merely teaches various polyimide layer thicknesses. Kishimoto neither discloses nor suggests methods of wire fabrication comprising a step of forming a metal layer over a patterned ground resin film such that the metal layer encloses the ground resin film. Thus the combination of Takada and Kishimoto does not teach each step of the metal wiring fabrication method of the present invention.

Claim 1 is patentable over Takada in combination with JP 10-245,444, Larsson, Iwasaki, Kishimoto or a combination thereof. Claims 2, 4-9, 11-15 depend from claim 1 and are therefore also patentable over any combination of the teachings of Takada, JP 10-245,444, Larsson, Iwasaki, and Kishimoto.

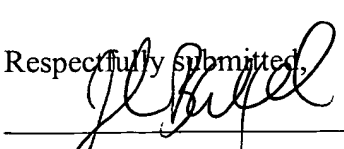
Reconsideration and allowance of claims 1, 2, 4-9, and 11-15 is respectfully requested in view of the foregoing discussion. This case is believed to be in condition for immediate allowance.

If for any reason a fee is required, a fee paid is inadequate or credit is owed for any excess fee paid, you are hereby authorized and requested to charge Deposit Account No. 04-1105.

Should the Examiner wish to discuss any of the amendments and/or remarks made herein, the undersigned attorney would appreciate the opportunity to do so.

Respectfully submitted,

Date: February 3, 2004



John B. Alexander, Ph.D. (Reg. No. 48,399)
EDWARDS & ANGELL, LLP
P.O. Box 55874
Boston, MA 02205
Tel. No. (617) 439-4444



Date Mailed: May 30, 2002

Response Deadline: July 30, 2002

Notice of Request for Submission of Argument

Applicant	Name	Sharp K.K.
	Address	22-22, Nagaike-cho, Abeno-ku, Osaka-shi, Osaka-fu, Japan
Attorney	Name	Duk Yeul Baek et al.
	Address	17th Floor, Marine Center Main Bldg. 118, 2-ka, Namdaemun-ro, Chung-ku, Seoul, Korea
Application No.		10-2000-48911
Title of Invention		METHOD FOR FABRICATING METAL WIRINGS

A Notice of Rejection is hereby given pursuant to Article 63 of the Patent Act on the ground set forth below. If there is any argument against this Office Action or any need to file an amendment, the applicant is invited to submit the argument or the amendment to the Korean Industrial Property Office by July 30, 2002. (This deadline can be extended upon request on a monthly basis, and there shall be no official notification of the approval of any extension.)

[GROUNDS]

The present invention relates to a method for fabricating metal wirings. A resin film, a low-resistance metal film and fabricating method thereof etc. as claimed in claims 1 through 14 are similar to a polyimide film, a low-resistance metal film and fabricating method thereof etc. of the cited reference. Accordingly, the present invention is easily conceivable to those skilled in the art from the cited reference and cannot be patented under Article 29, paragraph 2 of the Patent Act.

[Attachment]

The reference (Korean Laid-Open Publication No.1993-18660)

출력 일자: 2002/5/31

발송번호 : 9-5-2002-019243366

수신 : 서울 중구 남대문로2가 118 해운센터빌딩

발송일자 : 2002.05.30

본관17층

제출기일 : 2002.07.30

백덕열 귀하

100-770

특허청 의견제출통지서

NOTICE OF REQUEST FOR SUBMISSION OF ARGUMENT

출원인 명칭 샤프 가부시키가이샤 (출원인코드: 519980961371)
주소 일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고
대리인 성명 백덕열 외 1 명
주소 서울 중구 남대문로2가 118 해운센터빌딩본관17층
출원번호 10-2000-0048911
발명의 명칭 금속 배선의 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서 또는/및 보정서를 제출하여 주시기 바랍니다. (상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

본원은 금속배선의 제조방법에 관한 것으로 본원의 청구범위 제1항 내지 제14항의 수지막, 저항금속막, 및 그 제조방법 등과 한국 특허공개공보 제93-18660(1993.09.22:이하 인용예라함)의 폴리이미드막, 저저항 금속 및 그 제조방법 등과 대비할 때 구성요소가 유사하므로 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 상기 인용예로부터 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[첨 부]

첨부1 한국 특허공개공보 제93-18660 끝.

2002.05.30

특허청

심사4국

영상기기 심사담당관실

심사관 조경화



<<안내>>

문의사항이 있으시면 ☎ 042-481-5767 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸ (11) 공개번호 특1993-0018660
H01L 21/28 (43) 공개일자 1993년09월22일

(21) 출원번호 특1993-0000764
(22) 출원일자 1993년01월21일
(30) 우선권주장 841,967 1992년02월26일 미국(US)
(71) 출원인 인터내셔널 비지네스 머신즈 코퍼레이션 폰 디. 크레인
미합중국 뉴욕 10504 아몬크
(72) 발명자 라지브 브이. 조쉬
미합중국 뉴욕 10598 요크타운 하이츠 파인브룩 코트 1418
제로미 제이. 쿠오모
미합중국 뉴욕 10540 린콜른데일 로벌 스트리트
호마즈다이어 엠. 다탈
미합중국 뉴욕 12547 밀튼 카셀 로드 16
루이스 엘. 슈
미합중국 뉴욕 12524 피쉬킬 크로스비 코트 7
(74) 대리인 김형세, 김영, 장성구

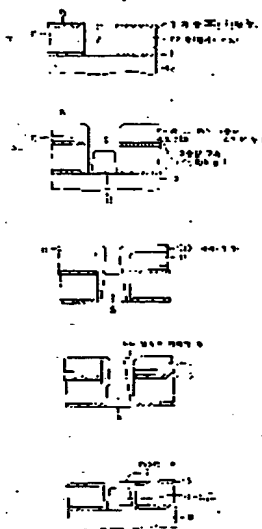
심사청구 : 있음

(54) 반도체 디바이스, 라이너와 금속도선 및 비아 제조방법

요약

강성의 내마모성을 갖는 고용점 금속은 화학적-기계적 연마동안 굽히거나, 침식되거나 잘 손상되지 않아, 고용점 금속으로 저저항성 금속 도선 또는 비아를 피복하면, 효과적으로 화학적-기계적 연마 기술을 사용할수 있다. 저저항성 금속 또는 합금의 물리적 기상 침적(예를들면, 증착 또는 시준 스퍼터링)후에 고용점 금속의 화학기상 침적을 행하고 평탄화하면 양질의 도선과 비아를 만들수 있다. 화학기상침적법에 의해 고용점 금속을 피복하는 동안 수화규소와 불화탄소텐의 비를 변경하면 텅스텐 피복층으로 유입되는 실리콘 양을 조절할 수가 있다. 시준 스퍼터링을 행하면 CVD텅스텐 뿐만 아니라 구리계 금속피막에 대해 적절한 확산 장벽으로 되는 고용점 금속라이너(liner)를 유전체내 개구부에 만들수 있다. 이상적으로는, 구리와 같이 빠르게 확산되는 금속에 대해 두 단계의 시준 스퍼터링 공정에 의해 라이너가 제공되는데, 이 공정에서는 저항성 침적이 현저하게 되는 비교적 낮은 진공압(예를들면 1m Torr이하)에서 첫번째 층을 형성하고, 산란성 침적이 현저하게 되는 비교적 높은 진공압(예를들면 1m Torr이상)에서 두번째 층을 형성한다. CVD텅스텐과 같은 고용점 금속에 대해서는 고진공압에서 기준 스퍼터링을 하는 1단계 공정에 의해 라이너가 형성된다.

도면



명세서

[발명의 명칭]

반도체 디바이스, 라이너와 금속도선 및 비아 제조방법

[도면의 간단한 설명]

제2a도 내지 제2e도는 본 발명의 변형 실시예를 보여주는 반도체 기판의 연속적인 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1. 기판과, 상기 기판상에 위치하는 유전체 층과, 상기 유전체 층의 표면과 동평면(coplanar)을 이루는 표면으로부터 상기 기판쪽으로 연장하는 상기 유전체층 내의 개구내에 위치하는 금속 피막을 포함하며, 상기 금속피막은 저저항성 금속 또는 합금과 이를 덮어싸는 고용점 금속 또는 합금으로 이루어지며, 상기 저저항 금속 또는 합금은 상기 개구의 바닥부분을 채우고 상기 개구의 대향측면과 이격된 관계로 상기 유전체 층의 상기 표면과 동평면상의 표면측을 향해 확장되어 캡 영역을 규정하며, 상기 고용점 금속 또는 합금은 상기 캡 영역내에서 상기 바닥부분 위와 상기 저저항성 금속 또는 합금의 상향 연장 측부들 사이에 위치하며, 상기 고용점 금속 또는 합금은 상기 유전체 층과 동평면을 이루는 표면을 갖는 것을 특징으로 하는 반도체 디바이스.

청구항 2. 제1항에 있어서, 상기 고용점 금속 또는 합금은 티타늄, 텅스텐, 탄탈 및 크롬과 이들의 합금, 도전성 산화물, 질화물 및 규화물로 이루어진 그룹으로부터 선택되는 것인 반도체 디바이스.

청구항 3. 제1항에 있어서, 상기 저저항성 금속 또는 합금은 알루미늄 또는 구리의 2원 또는 3원 합금으로 된 것인 반도체 디바이스.

청구항 4. 제3항에 있어서, 상기 저저항성 금속은 Al, Cu식을 갖는 알루미늄과 구리의 합금이며, 상기 기식에서 x와 y의 합은 1이고 x 및 y모두는 0이상이거나 1보다 작은 반도체 디바이스.

청구항 5. 제1항에 있어서, 상기 고용점 금속 또는 합금은 상기 기판에 가까운 위치에서 보다는 특정 조성율로서 존재하는 상기 금속피막의 상기 표면 근처의 위치에서 실리콘 유입량이 많은 반도체 디바이스.

청구항 6. 제1항에 있어서, 상기 금속 피막은 상기 유전체층을 완전히 통과해서 상기 기판과 접촉하는 반도체 디바이스.

청구항 7. 제1항에 있어서, 상기 개구내부에서 상기 유전체층과 상기 저저항성 금속 또는 합금 사이에 위치하는 고용점 금속 또는 합금의 라이너를 더 포함하는 반도체 디바이스.

청구항 8. 기판과, 상기 유전체 층의 표면과 동평면을 이루는 표면으로부터 상기 기판쪽으로 연장하는 상기 유전체층 내의 개구내에 위치하는 금속피막을 포함하며, 상기 금속피막은 상기 개구의 내면상에

위치하는 고용점 금속 또는 합금과 상기 라이너상에 위치하며 고용점 또는 합금 캡(cap)으로 덮힌 저저항성 금속 또는 합금으로 이루어지며, 상기 라이너내의 고용점 금속 또는 합금은 상기 캡의 고용점 금속과는 다른 것을 특징으로 하는 반도체 디바이스.

청구항 9. 제8항에 있어서, 상기 상부 캡과 상기 라이너의 고용점 금속 또는 합금은 티타늄, 텅스텐, 탄탈 및 크롬과 이들의 합금, 전도성 산화물, 질화물 및 규화물로 이루어진 그룹으로부터 선택되는 것인 반도체 디바이스.

청구항 10. 제8항에 있어서, 상기 저저항성 금속 또는 합금은 알루미늄 또는 구리의 2원 또는 3원 합금으로 된 것인 반도체 디바이스.

청구항 11. 제8항에 있어서, 상기 저저항성 금속은 Al, Cu 식을 갖는 알루미늄과 구리의 합금이며, 상기 기판에서 x와 y의 합은 1이고 x 및 y 모두는 0이상이거나 1보다 작은 반도체 디바이스.

청구항 12. 제8항에 있어서, 최소한 상기 저저항성 금속 또는 합금의 적어도 일부분과 상기 고용점 금속 또는 합금 사이에 위치하는 도전성의 접착층을 더 포함하는 반도체 디바이스.

청구항 13. 제12항에 있어서, 상기 티타늄, 텅스텐, 크롬, 탄탈 및 이들의 합금들로 이루어진 그룹으로 선택된 것인 반도체 디바이스.

청구항 14. 제13항에 있어서, 상기 접착층은 티타늄-니트로겐 합금 또는 화합물로 된 것인 반도체 디바이스.

청구항 15. 제8항에 있어서, 상기 고용점 금속 또는 합금은 상기 기판에 가까운 위치에서 보다는 특정 조성률로서 존재하는 상기 금속피막의 상기 표면 근처의 위치에서 실리콘 유입량이 더 많은 반도체 디바이스.

청구항 16. 제8항에 있어서, 상기 금속피막은 상기 유전체 층을 완전히 통과해서 상기 기판과 접촉하는 반도체 디바이스.

청구항 17. 유전체내의 높은 증황비의 서브마이크론 단위의 호를 또는 도선에 시준기를 통해서 고용점 금속 또는 합금을 스퍼터링하되, 라이너가 상기 라이너에 차후 침적될 화학기상 침적 금속의 부착을 촉진할수 있는 두께를 갖게할 정도로 산란 침적이 현저하게 되는 압력에서 스퍼터링 하는 단계를 포함하는 것을 특징으로 하는 높은 증황비의 서브마이크론 단위의 호를 또는 도선에 라이너를 형성하는 방법.

청구항 18. 제17항에 있어서, 상기 호를 또는 도선의 증황비가 2 : 1보다 크기 상기 시준기의 증황비가 1 : 1보다 크며 상기 압력은 1m torr이상인 방법.

청구항 19. 저항성 침적이 현저하게 되는 압력에서 유전체내의 상기 높은 증황비의 서브마이크론 급의 상기 호를 또는 도선에 시준기를 통해서 고용점 금속 또는 합금을 스퍼터링 하여 상기 높은 증황비의 서브마이크론 단위의 호를 또는 도선에 제1층을 형성하는 단계와, 산란 침적이 현저하게 되는 압력에서 상기 유전체내의 상기 높은 증황비의 서브마이크론 단위의 상기 호를 또는 도선에 있는 상기 제1층상에 시준기를 통해서 고용점 금속 또는 합금을 스퍼터링 하는 단계를 포함하는 높은 증황비의 서브마이크론 단위의 호를 또는 도선에 라이너를 형성하는 방법.

청구항 20. 제19항에 있어서, 1m Torr이하의 압력에서 하는 상기 제1스퍼터링 단계와 1m Torr이상의 압력에서 하는 상기 제2스퍼터링 단계에 대해 동일한 시준기를 이용하는 방법.

청구항 21. 제19항에 있어서, 상기 제2스퍼터링 단계에서 스퍼터링되는 상기 고용점 금속은 구리 및 이것의 합금들의 확산을 방지하도록 선택한 방법.

청구항 22. 기판상에 위치하는 유전체내에 상부와 바닥부를 가지는 개구부를 형성하는 단계와, 상기 유전체의 상부 표면과 상기 개구의 바닥부에 제1고용점 금속 또는 합금 또는 화합물을 침적하는 단계와, 저저항성 금속 또는 합금을 상기 유전체의 상기 상부표면과 상기 개구부의 바닥부에 제공된 상기 고용점 금속상에 침적하되, 상기 개구부내에서의 침적은 상기 개구부의 상기 상부 아래에 있는 위치까지 행하는 단계와, 상기 유전체의 상기 상부 표면과 상기 개구부의 상기 바닥부에 제공된 상기 고용점 금속 위에 있는 저저항성 금속상에 제2고용점 금속 또는 합금을 침적하는 단계와, 상기 유전체의 상기 상부위의 모든 지점으로부터 상기 제1고용점 금속 또는 합금 또는 화합물, 상기 저저항성 금속 또는 합금 및 상기 제2고용점 금속 또는 합금을 제거하는 단계를 포함함으로써, 상기 저저항성 금속 또는 합금과 이것에 의해 피복된 상기 저저항성 금속 또는 합금을 가지며 상기 유전체와 동일 높이로 평탄화된 금속피막을 포함하는 평탄화된 구조를 제조하는 단계를 포함하는 기판위에 금속피막 도선 및 비아를 만드는 방법.

청구항 23. 제22항에 있어서, 상기 제1고용점 금속 또는 합금 또는 화합물을 침적하는 단계는 시준 스퍼터링을 이용하며, 상기 개구부의 내부 표면과 상기 유전체의 상기 상부표면 모두에는 이에 잘 부합하는 라이너가 침적되는 방법.

청구항 24. 제23항에 있어서, 상기 시준 스퍼터링은, 저항성 침적이 현저하게 되는 제1압력에서 상기 개구부에 상기 고용점 금속 또는 합금 또는 화합물의 제1의 얇은 층을 시준기를 통해 스퍼터링하는 단계와, 산란 침적이 현저하게 되는 제2압력에서 상기 개구부내의 상기 제1얇은층 위에 시준기를 통해 상기 고용점 금속 또는 합금 또는 화합물의 제2의 얇은층을 스퍼터링 하는 단계를 포함하는 방법.

청구항 25. 제24항에 있어서, 상기 첫번째 스퍼터링 단계에 있어서의 상기 제1압력은 1m Torr이하로 하고 상기 두번째 스퍼터링 단계에 있어서의 상기 제2압력은 1m Torr이상으로 하는 방법.

청구항 26. 제22항에 있어서, 물리기상침적법에 의해 상기 저저항성 금속 또는 합금을 침적하고 화학 기상침적법에 의해 상기 두번째 고용점 금속 또는 합금을 침적하는 상기 단계의 방법.

청구항 27. 제22항에 있어서, 상기 제1고용점 금속 또는 합금을 침적하는 단계는 증착법을 이용함으

로써, 상기 고용점 금속이 상기 개구부의 측벽을 제외한 상기 개구부의 제바닥부에만 도포되게 하는 방법.

청구항 28. 제22항에 있어서, 상기 제2의 고용점 금속을 침적하는 단계는 불화텅스텐의 수화규소 환원을 이용한 텅스텐의 화학기상침적법에 의해 수행되는 방법.

청구항 29. 제22항에 있어서, 상기 제1고용점 금속 또는 합금을 침적하는 상기 단계 후 그리고 상기 저저항성 금속 또는 합금을 침적하는 상기 단계 전에 부착 촉진층을 침적하는 단계를 더 포함하는 방법.

청구항 30. 제22항에 있어서, 상기 제1고용점 금속 또는 합금 또는 화합물, 상기 저저항성 금속 또는 합금 및 상기 제2고용점 금속 또는 합금을 제거하는 단계는 상기 유전체의 상부 표면위의 물질을 반응성 이온 에칭하는 단계를 포함하는 방법.

청구항 31. 제22항에 있어서, 상기 제1고용점 금속 또는 합금 또는 화합물, 상기 저저항성 금속 또는 합금 및 상기 제2고용점 금속 또는 합금을 제거하는 단계를 상기 유전체의 상부 표면위의 물질을 화학적-기계적으로 연마하는 단계를 포함하는 방법.

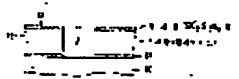
청구항 32. 제22항에 있어서, 상기 제1고용점 금속 또는 합금 또는 화합물, 상기 저저항성 금속 또는 합금 및 상기 제2고용점 금속 또는 합금을 제거하는 단계는 상기 유전체의 상부 표면위의 물질을 반응성 이온에칭 및 화학적-기계적 연마 단계 모두를 포함하는 방법.

청구항 33. 제22항에 있어서, 상기 제1고용점 금속 또는 합금 또는 화합물, 상기 저저항성 금속 또는 합금 및 상기 제2고용점 금속 또는 합금을 제거하는 단계를 과산화수소 또는 4과산화 수소에 의한 습식 에칭의 단계를 포함하는 방법.

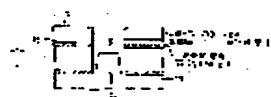
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

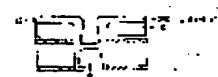
도면2a



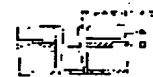
도면2b



도면2c



도면2d



도면2e

